

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-191099

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

G01R 31/28
G01R 31/3183

(21)Application number : 05-348554

(71)Applicant : HITACHI ELECTRON ENG CO LTD

(22)Date of filing : 27.12.1993

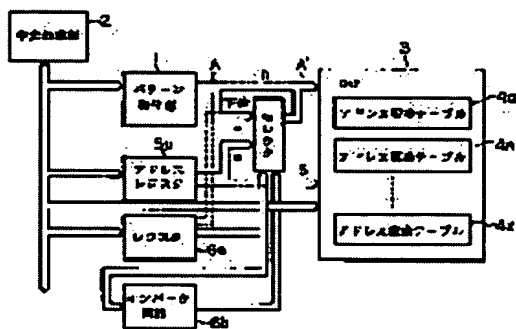
(72)Inventor : MIYAHARA KUNIIHIKO

(54) IC INSPECTION DEVICE

(57)Abstract:

PURPOSE: To make the width of an address conversion table freely settable by generating the access address of a memory storing the address conversion table by combining data from a pattern generator and data stored in a register.

CONSTITUTION: An IC inspection device is provided with an address register 5a. A selector adds the address signal of a RAM 3 to the signals of a pattern generating section 1 and register 5a upon receiving the signals. The selector selects the bit at a designated digit place from among the lower-order m-bit data of the (n+m)-bit data of the pattern generating section 1 upon receiving the m-bit data. In addition, the selector selects the bit at a designated digit place from among the m-bit data of the register 5a and generates (m+m)-bit data of address signals by combining the selected bits. A control data register 6a which stores the data for selecting the digit place of the data of the section 1 and inverter circuit 6b which generates selective control data are provided. Address conversion tables 4a-4x are stored in the RAM 3.



LEGAL STATUS

[Date of request for examination] 14.03.2000

[Date of sending the examiner's decision of rejection] 20.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平 7 - 1 9 1 0 9 9

(43) 公開日 平成7年(1995)7月28日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G O I R 31/28

31/3183

G O I R 31/28

M

Q

審査請求 未請求 請求項の数 2

FD

(全5頁)

(21)出願番号 特願平5-348554

(22) 出願日 平成5年(1993)12月27日

(71)出願人 000233480

日立電子エンジニアリング株式会社
東京都渋谷区東3丁目16番3号

(72) 発明者 宮原 邦彦

東京都千代田区大手町二丁目6番2号 日立
電子エンジニアリング株式会社内

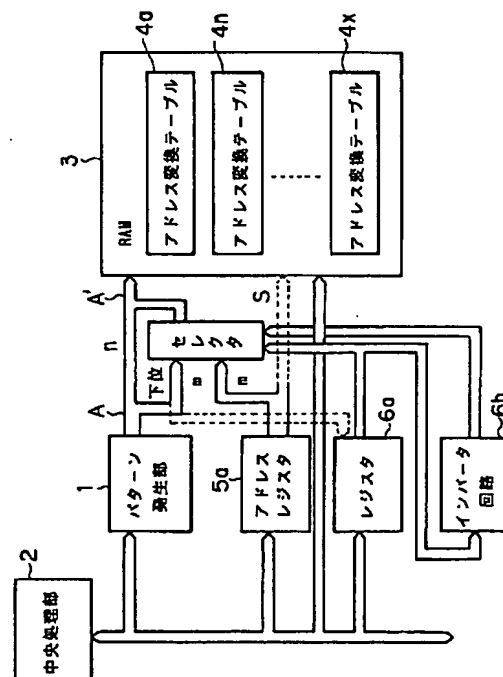
(74) 代理人 弁理士 梶山 侑是 (外1名)

(54) 【発明の名称】 IC検査装置

(57) 【要約】

【目的】アドレス変換テーブルを記憶するメモリの容量を低減し、アドレス変換条件を短時間で切り換えることができるようにした、ＩＣ検査装置を提供することにある。

【構成】パターン発生部と、複数のアドレス変換テーブルを記憶するメモリと、このメモリをアクセスするアドレス信号のデータを記憶するアドレスレジスタと、このアドレスレジスタのデータを第1のデータとして受けパターン発生部のデータを第2のデータとして受けて第1のデータの所定のビットと第2のデータの所定のビットをそれぞれ制御信号に応じて選択してメモリのアドレス信号を発生してメモリに送出するセレクトと、制御信号を記憶してセレクトへ送出する制御データレジスタとを備えるものである。



【特許請求の範囲】

【請求項 1】パターン発生部と、複数のアドレス変換テーブルを記憶するメモリと、このメモリをアクセスするアドレス信号のデータを記憶するアドレスレジスタと、このアドレスレジスタのデータを第 1 のデータとして受け前記パターン発生部のデータを第 2 のデータとして受けて第 1 のデータの所定のビットと第 2 のデータの所定のビットをそれぞれ制御信号に応じて選択して前記メモリのアドレス信号を発生して前記メモリに送出するセレクトと、前記制御信号を記憶して前記セレクトへ送出する制御データレジスタとを備える IC 検査装置。

【請求項 2】さらに、プロセッサを有し、前記制御データレジスタは、第 1 のデータのうちから前記セレクトが前記アドレス信号として出力する桁を選択するためのデータを記憶するレジスタとこのレジスタのデータを反転して前記セレクトが前記アドレス信号として出力する桁を選択するためのデータを発生するインバータ回路とからなり、前記プロセッサは、前記レジスタをデータを送出し、前記アドレスレジスタに前記アドレス信号のデータを送出する請求項 1 記載の IC 検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、メモリなどの IC の検査を行うための IC 検査装置に関し、詳しくは、パターン発生部により発生されたアドレス信号の論理アドレスから物理アドレスへの変換（アドレス・スクランブル）を行うためのアドレス変換回路に関する。

【0002】

【従来の技術】従来の IC 検査装置におけるアドレス変換方式は、アドレス変換テーブル（一般にランダムアクセスメモリに置かれる）を備え、パターン発生部から出力されたアドレス信号をアドレス情報として用いアドレス変換テーブルの読み出しを行うことにより、アドレス変換後のアドレス信号を得る構成である。また、アドレス変換テーブルは、一般に、IC 検査装置の中央処理部（CPU）により書き換え可能となっている。

【0003】図 2 は、本願出願人の出願になる特開昭 63-166100 号に示すアドレス変換方式である。図中、1 は IC 検査装置のパターン発生部である。このパターン発生部 1 は一般にアルゴリズム・パターン発生回路であり、IC 検査装置の中央処理部（CPU）2 からロードされたプログラムに従ってアドレス信号 A さらにはデータパターン、その他の制御信号などを発生する。3 はランダムアクセスメモリであり、これには複数のアドレス変換テーブル 41 ~ 4n が格納される。このランダムアクセスメモリ 3 は中央処理部 2 からアクセスが可能であり、検査に先立って各アドレス変換テーブル 4 に異なった変換条件のアドレス変換情報が書き込まれる。

【0004】S はアドレス変換テーブル 4 を選択的に有

効にするためのテーブル選択信号であり、これは中央処理部 2 からレジスタ 5 に設定される。当然、このテーブル選択信号 S は中央処理部 2 により制御可能である。前記アドレス信号 A および前記テーブル選択信号 S は、ランダムアクセスメモリ 3 に対してアドレス情報信号として入力される。

【0005】このような構成において、パターン発生部 1 から出力されたアドレス信号 A およびテーブル選択信号 S をアドレス情報信号として、ランダムアクセスメモリ 3 がアクセスされる。その結果、テーブル選択信号 S により有効にされた一つのアドレス変換テーブル 4 の、前記アドレス信号 A によって決定されるアドレスの情報が読み出され、アドレス変換後のアドレス信号 B としてランダムアクセスメモリ 3 より出力される。

【0006】アドレス変換条件の切り換えが必要となった場合、中央処理部 2 側から、必要なアドレス変換テーブル 4 を有効にするためのテーブル選択信号 S がレジスタ 5 に再設定されることにより、そのアドレス変換テーブル 4 に対応する変換条件でアドレス信号 A のアドレス変換が行われる。このようなテーブル選択信号 S の設定操作は短時間で行うことができるから、アドレス変換条件の切り換えのための検査の中断時間は極めて短くすることができる。したがって、アドレス変換条件を実時間でダイナミックに切り換えながら検査を行うことも可能である。

【0007】

【発明が解決しようとする課題】しかし、レジスタに記憶されるデータは、あらかじめ固定されたいくつかのアドレス変換テーブルの 1 つを選択するものであって、アドレス変換テーブルの幅は、レジスタ 5 に記憶されるビット数で固定される。一方、テストされる IC デバイスのアドレスやデータのビット幅には、種々のものがある。その結果、最大のビット幅に合わせてアドレス変換テーブルを個々に用意しておくことが必要になり、変換テーブルの数が増えると記憶する RAM の記憶容量が大きくなる欠点がある。この発明は、このような従来の問題点を解消し、アドレス変換テーブルを記憶するメモリの容量を低減し、アドレス変換条件を短時間で切り換えることができるようにした、IC 検査装置を提供することにある。

【0008】

【課題を解決するための手段】この目的を達成するために、この発明の IC 検査装置の特徴は、パターン発生部と、複数のアドレス変換テーブルを記憶するメモリと、このメモリをアクセスするアドレス信号のデータを記憶するアドレスレジスタと、このアドレスレジスタのデータを第 1 のデータとして受けパターン発生部のデータを第 2 のデータとして受けて第 1 のデータの所定のビットと第 2 のデータの所定のビットをそれぞれ制御信号に応じて選択してメモリのアドレス信号を発生してメモリに

送出するセレクトと、制御信号を記憶してセレクトへ送出する制御データレジスタとを備えるものである。

【0009】

【作用】このように、アドレス変換テーブルを記憶したメモリのアクセスアドレスをパターン発生器からのデータとレジスタに記憶したデータとを組み合わせ発生させるようにすることで、記憶されたアドレス変換テーブルの幅を自由に設定することができる。しかも、パターン発生器側のデータを上位アドレス側として選択してアドレスレジスタ側を下位アドレス側にすれば、アドレス変換テーブルを一定アドレスおきにアクセスすることができ、ダイナミックなアドレス変換が高速に可能になる。その結果、幅が固定されない複数のアドレス変換テーブルを選択的に用いてアドレス変換を行うことができ、アドレス変換テーブルを記憶するメモリの容量も少なく済み、あらかじめ異なった変換条件をそれぞれのアドレス変換テーブルに登録しておけば、変換条件を短時間で切り換えることができる。

【0010】

【実施例】以下、図面を参照し、この発明の一実施例について詳細に説明する。図1は、この発明によるIC検査装置のアドレス変換部分を中心とした一実施例を示す概略ブロック図である。なお、図2と同様な構成要素は同一の符号で示す。図2との相違は、レジスタ5に換えてアドレスレジスタ5aが設けられ、パターン発生部1とアドレスレジスタ5aの信号（アドレスデータ）をセレクト7が受けて、RAM3のアドレス信号がセレクト7から加えられることである。セレクト7は、パターン発生部1のデータn+mビットのうちその一部である、下位のmビットのビットデータを受けてそのmビットのうち指定された桁位置のビットを選択し、さらに、アドレスレジスタ5aのデータmビットの指定された桁位置のビットを選択してこれら選択したビットを組み合わせアドレス信号m+mビットのデータを発生する。なお、RAM3のアクセスされるアドレスは、n+2mビット幅である。

【0011】それぞれの桁位置の選択のために、パターン発生部1のデータの桁位置選択のための選択制御のデータを記憶する制御データレジスタ6aとこの出力のそれぞれの桁ビットの出力を桁対応にインバートして桁アドレスレジスタ5aのデータの桁位置選択のための選択制御のデータを発生するインバート回路6bとが設けられている。

【0012】そして、RAM3には、記憶エリアの幅が相違する複数のアドレス変換テーブル4a~4xが格納される。このRAM3は、中央処理部2からアクセスが可能であり、検査に先立って各アドレス変換テーブルには異なった変換条件のアドレス変換情報が書き込まれる。制御データレジスタ6aは、mビットのデータが記憶され、パターン発生部1のmビットのデータのうちの

効とする桁位置のデータが"1"に設定され、無効とされるデータの桁位置が"0"に設定され、セレクト7においてマスクされるものである。インバート回路6bは、これの"1"と"0"のビットパターンを反転するものであり、逆にアドレスレジスタ5aでは、パターン発生部1のmビットのデータのうち有効とされた桁の信号が無効になり、無効となった桁の信号が有効になる。これにより選択されたmビットのアドレス信号は、パターン発生部1のデータとアドレスレジスタ5aのデータを組み合わせたそれぞれの有効となった桁位置の信号mビットになる。

【0013】その結果、パターン発生部1のデータの上位の3桁を有効にしてアドレスレジスタ5aのデータの下位の桁と組み合わせたい場合には、"111000..."のデータmビットを制御データレジスタ6aに中央処理部2から設定すればよい。逆に、パターン発生部1のデータの下位の3桁を有効にしてアドレスレジスタ5aのデータの上位の桁と組み合わせたい場合には、"000...111"のデータmビットを制御データレジスタ6aに中央処理部2から設定すればよい。

【0014】上位の桁数、言い換えれば、そのビット幅がアドレス変換テーブルの幅になる。上位nビットは、パターン発生部2から提供されるので、ダイナミックに変更可能であるので、アドレス変換テーブル4a~4xの幅はダイナミックに変えることができる。上位の桁を固定にする場合には、アドレスレジスタ5aのデータを上位としてのパターン発生部2から提供されるnビットを固定にすればよい。あるアドレス変換テーブルのアドレスをy番地置きにアクセスしたい場合には、y番地に対応するアドレスレジスタ5aのデータについての下位の桁位置に対応する幅分を有効にして選択すれば可能である。

【0015】なお、以上の構成において、パターン発生部2の上位nビットをなくして、パターン発生部2の発生ビット数をmビットにし、これをすべてセレクト7に送出するようにしてもよい。逆に、点線で示すように、アドレスレジスタ5aのビット数をm+kビットとして上位あるいは下位桁のkビットのデータをセレクト7に送出することなく、直接RAM3のアドレスアクセスデータとテーブル選択信号Sとして使用するようによい。このようなテーブル選択信号Sを発生する場合には、インバート回路6aをインバートとせず、独立に中央処理部2から制御データを設定して記憶するレジスタとし、テーブル選択信号Sに対応するセレクト7の特定の桁位置のビットをマスクするデータをセレクト7に加えるものとする。

【0016】さらに、点線で示すように、パターン発生部2の上位nビットのデータを制御データレジスタ6aに送出して次のアドレス信号のセレクトによる桁位置選択をダイナミックに行うようにしてもよい。次にデバイ

10

20

30

40

50

ス試験時に必要とされるアドレスサイズがRAM 3内部のアドレス変換テーブル4の1個あたりのサイズよりも小さく、そのテーブル内をt分割して使用できる場合の動作を説明する。なお、アドレスレジスタ5aのビット数をm+kビットとして上位のkビットのデータをセクタ7にテーブル選択信号Sとして送出するものとする。この場合、インバート回路6aは、インバートではなく、テーブル選択信号Sの桁位置をマスクする制御データを記憶するレジスタである。

【0017】RAM 3に入力されるアドレス信号A'の内訳を、下位ビットがパターン発生部1からのアドレスパターン信号、上位ビットがアドレスレジスタ5aからの異種パターンの切換え情報となるようにデータを制御データレジスタ6aにデータを設定する。この時、セクタ7はアドレス信号Aの下位ビットのうちの上位ビットからpビット分の情報とアドレスレジスタ5aの出力qビット(ただし、p+q=m)を制御データレジスタ6aの設定により自由に切換えられるので、t分割するビット数分だけセクタ7に送出されるようにアドレスレジスタ5aの出力が選択されるように切換え

ておく。また、テーブル選択信号Sは、対象となる1つのアドレス変換テーブルを指し示すようにアドレスレジスタ5aの上位ビットを設定しておく。

【0018】この設定において、パターン発生部1から出力されたアドレス信号Aによって1つのアドレス変換テーブル内のt分割された特定の領域がアクセスされて、アドレス変換後のアドレス信号BとしてRAM 3より出力される。アドレス変換条件の切換えが必要となった場合、中央処理部2側から、必要な領域内のテーブルを有効にするため、アドレスレジスタ5aの下位qビ

ットに再設定されることにより、そのアドレス変換領域に対応する変換条件でアドレス信号Aのアドレス変換が行われる。

【0019】また、以上の条件で必要とされる変換テーブルがRAM 3内に収まらない場合は、アドレスレジスタ5aの上位ビットを操作し、テーブル選択信号Sを操作して、予め別のテーブルに用意しておいた次のアドレス変換情報を読み出すことも可能である。このようなテーブル選択信号Sの設定操作は短時間で行うことがで

きるから、アドレス変換条件を実時間でダイナミックに切換えながら検査を行うことも可能である。

【0020】

【発明の効果】以上の説明から明らかなように、この発明によれば、アドレス変換テーブルを記憶したメモリのアクセスアドレスをパターン発生器からのデータとレジスタに記憶したデータとを組み合わせ発生させるようにすることで、記憶されたアドレス変換テーブルの幅を自由に設定することができる。しかも、パターン発生器側のデータを上位アドレス側として選択してアドレスレジスタ側を下位アドレス側にすれば、アドレス変換テーブルを一定アドレスおきにアクセスすることができ、ダイナミックなアドレス変換が高速に可能になる。その結果、幅が固定されない複数のアドレス変換テーブルを選択的に用いてアドレス変換を行うことができ、アドレス変換テーブルを記憶するメモリの容量も少なく済み、あらかじめ異なった変換条件をそれぞれのアドレス変換テーブルに登録しておけば、変換条件を短時間で切り換えることができる。したがって、検査処理の効率を改善でき、検査装置の中央処理部により制御データレジスタのデータを直接設定して制御するようにすれば、アドレス変換条件を実時間でダイナミックに切り換えながら検査を行うことも可能である。さらに、あるアドレス変換テーブルを用いて検査中に、他のアドレス変換テーブルの書き換えを行うとができるため、アドレス変換条件の変更のために、検査が中断されることもなくなる。

【図面の簡単な説明】

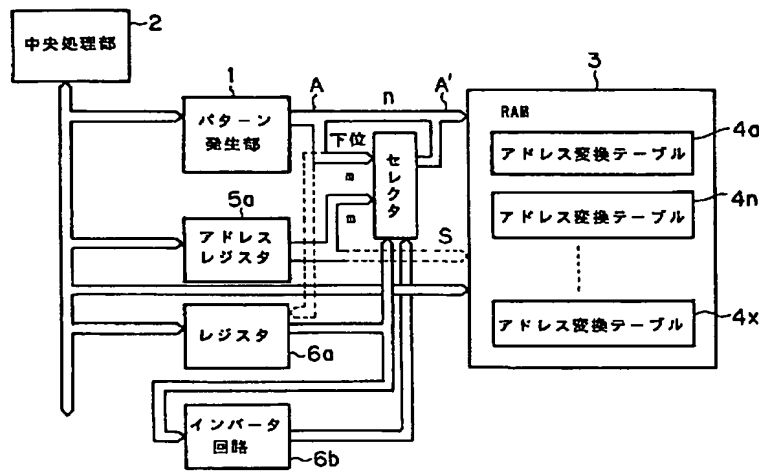
【図1】図1は、この発明によるIC検査装置のアドレス変換部分を中心とした一実施例を示す概略ブロック図である。

【図2】図2は、従来のIC検査装置におけるアドレス変換方式のブロック図である。

【符号の説明】

1…パターン発生部、2…中央処理部、3…RAM、4a~4x…アドレス変換テーブル、5…レジスタ、5a…アドレスレジスタ、6…制御データレジスタ、7…セクタ、A…変換前アドレス信号、B…変換後アドレス信号、S…テーブル選択信号。

【図 1】



【図 2】

